

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-028291

(43)Date of publication of application : 13.02.1985

(51)Int.Cl.

H01S 3/18

(21)Application number : 58-138203

(22)Date of filing : 26.07.1983

(71)Applicant : MITSUBISHI ELECTRIC CORP

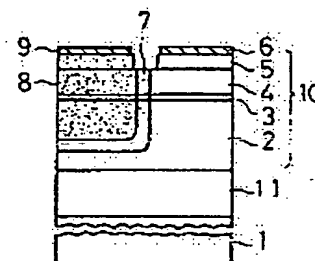
(72)Inventor : FUJIWARA KENZO
NUNOSHITA MASAHIRO

(54) SEMICONDUCTOR LASER ELEMENT

(57)Abstract:

PURPOSE: To contrive to improve the crystal quality in an active layer by a method wherein a stepped multiplex hetero junction structure having a crystal lattice mismatching inductive strain is inserted in between a GaAs substrate and the active layer.

CONSTITUTION: A stepped multiplex hetero junction layer 11 is provided in between a GaAs substrate 1 and an active layer 10. At this time, the thickness (h) of each $\text{Al}_x\text{Ga}_{1-x}\text{As}$ mixed crystal epitaxial layer and the lattice mismatching degree in the layer 11 must satisfy a condition that the thickness (h) is smaller than the critical value, at which a crystal lattice mismatching inductive transition is caused. In an $\text{Al}_x\text{Ga}_{1-x}\text{As}$ system—short wavelength semiconductor laser element having the layer 11 with such a constitution, large lattice mismatchings existing between the substrate 1 and $\text{Al}_x\text{Ga}_{1-x}\text{As}$ mixed crystal layers in an active layer 3 and clad layers 2 and 4 can be relaxed and dissolved in stages by the lattice mismatching inductive strain in each mixed crystal layer hetero junction set in a stair form, thereby enabling to prevent the generation and propagation of crystal defect such as a dislocation, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—28291

⑤ Int. Cl.⁴
H 01 S 3/18

識別記号

庁内整理番号
7377—5F

⑭ 公開 昭和60年(1985)2月13日

発明の数 1
審査請求 未請求

(全 3 頁)

④ 半導体レーザ素子

② 特 願 昭58—138203

② 出 願 昭58(1983)7月26日

⑦ 発 明 者 藤原賢三

尼崎市塚口本町8丁目1番1号

三菱電機株式会社中央研究所内

⑦ 発 明 者 布下正宏

尼崎市塚口本町8丁目1番1号

三菱電機株式会社中央研究所内

⑪ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

④ 代 理 人 弁理士 大岩増雄 外2名

明 細 書

1. 発明の名称

半導体レーザ素子

2. 特許請求の範囲

GaAs 基板上に、下部クラッド層、 $Al_xGa_{1-x}As$ 混晶活性層、上部クラッド層からなる能動層を形成した $Al_xGa_{1-x}As$ 系短波長二重ヘテロ接合半導体レーザ素子において、前記 GaAs 基板とエピタキシャル成長で形成する能動層との間に結晶格子不整合誘導歪によつて転位結晶欠陥の発生および伝播を阻止する階段型多重ヘテロ接合層を設けたことを特徴とする半導体レーザ素子。

3. 発明の詳細な説明

この発明は、 $Al_xGa_{1-x}As$ 系短波長半導体レーザ素子の能動層領域を構成する二重ヘテロ接合エピタキシャル膜を高品質化するための階段型多重ヘテロ接合層を設けた半導体レーザ素子に関するものである。

第1図は $Al_xGa_{1-x}As$ 系短波長半導体レーザ素子の例として、Transverse Junction Stripe (

TJS) 構造のレーザ素子を示す。第1図において、1はGaAs基板、2は下部クラッド層、3は活性層、4は上部クラッド層、5はキャnpコンタクト層、6はn型電極金属層、7は P^- 拡散領域、8は P^+ 拡散領域、9はP型電極金属層である。また、10は前記各部2～9からなる能動層である。

$Al_xGa_{1-x}As$ 系短波長半導体レーザ素子においては、レーザ発振波長を短波長化するために、活性層3のエネルギーバンドギャップ値を大きくする目的で、その $Al_xGa_{1-x}As$ 混晶エピタキシャル膜のAl組成のx値大きくする必要がある。このような $Al_xGa_{1-x}As$ 系短波長半導体レーザ素子では、二重ヘテロ接合を形成し、光および電子・正孔対の活性層3内へのとじ込めをはかる場合、十分な屈折率分布、伝導帯端段差、比抵抗分布を得るために両クラッド層2、4の $Al_xGa_{1-x}As$ 混晶エピタキシャル膜のx値を活性層3における値よりもさらに大きくする必要がある。このようにGaAs基板1と活性層3および両クラッド層2、

4Kにおける $Al_xGa_{1-x}As$ 混晶エピタキシャル膜との間に大きな格子定数差が存在する場合は、 $GaAs$ (格子定数 $a = 5.653 \text{ \AA}$) と最大 $AlAs$ (格子定数 $a = 5.661 \text{ \AA}$) との間の格子不整合による転位などの結晶欠陥が発生し、半導体レーザ素子の能動層の結晶性を低下させる原因となる本質的な欠点が存在する。

この発明は、この $GaAs$ 基板と $Al_xGa_{1-x}As$ 混晶活性層およびクラッド層との格子定数の違いによる格子不整合の困難を克服するためになされたもので、 $GaAs$ 基板と二重ヘテロ接合レーザ素子の能動層との間に、格子不整合誘導歪をもつ階段型多重ヘテロ接合構造を挿入することにより、 $GaAs$ 基板と能動層との間に存在する大きな格子不整合を段階的に解消すると同時に、 $GaAs$ 基板にもともと含まれる転位等の結晶欠陥をも遮断し、半導体レーザ素子の能動層領域の結晶品質を向上させる $Al_xGa_{1-x}As$ 系短波長半導体レーザ素子を提供するものである。以下、この発明について説明する。

ザ素子においては、 $GaAs$ 基板1と活性層3および両クラッド層2、4Kにおける $Al_xGa_{1-x}As$ 混晶層との間に存在する大きな格子不整合を、階段状に設定した各々の混晶層ヘテロ接合における格子不整合誘導歪により段階的に緩和、解消するために、転位等の結晶欠陥の発生および伝播を防ぐことができる。

以上詳細に説明したようにこの発明は、 $Al_xGa_{1-x}As$ 系短波長半導体レーザ素子において、 $GaAs$ 基板と能動層の間に結晶格子不整合誘導歪によつて転位結晶欠陥の発生および伝播を阻止できる階段型多重ヘテロ接合層を設けたので、半導体レーザ素子の能動層における結晶品質を、 $GaAs$ 基板との大きな格子不整合があるにもかかわらず高めることができ、素子の量子効率および寿命を高めることができる利点がある。

4. 図面の簡単な説明

第1図は従来の $Al_xGa_{1-x}As$ 系短波長二重ヘテロ接合半導体レーザの構成を示す概略断面図、第2図はこの発明の一実施例の構成を示す概略断面

第2図はTJS構造 $Al_xGa_{1-x}As$ 系短波長半導体レーザ素子に、この発明を施した一実施例を示す。第2図Kにおいて、11は階段型多重ヘテロ接合層を示す。

第3図は、第1図にあらわされるTJS構造のレーザ素子において、 $GaAs$ 基板1、能動層10および階段型多重ヘテロ接合層11Kにおける格子定数の深さ方向についての变化を模式的にあらわしたものである。このとき、階段型多重ヘテロ接合層11Kにおける各々の $Al_xGa_{1-x}As$ 混晶エピタキシャル層の厚さ h および格子不整合度 da/a は、結晶格子不整合誘導転位を起こす臨界値 h_{max} よりも h が小さいという条件を満足しなければならない。 h_{max} は格子定数 a 、格子整合の大きさ da/a 、格子不整合誘導転位のパーガースペクトル b 、ポアソン比 ν が与えられれば決まる値をもっている。(J. W. Matthews and A. E. Blakeslee, J. Cryst. Growth 27 118 (1974))

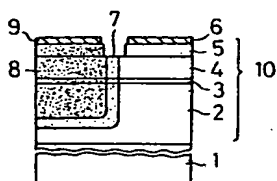
このような構成をもつ階段型多重ヘテロ接合層11を有する $Al_xGa_{1-x}As$ 系短波長半導体レー

図、第3図は第2図に示す実施例のTJS構造の半導体レーザ素子における $GaAs$ 基板および各エピタキシャル層の格子定数の深さ方向についての变化を模式的にあらわした図である。

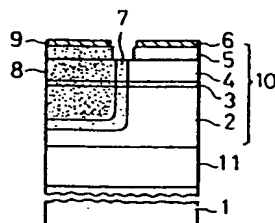
図中、1は $GaAs$ 基板、2は下部クラッド層、3は活性層、4は上部クラッド層、5はキャップコンタクト層、6はn型電極金属層、7は P^- 拡散領域、8は P^+ 拡散領域、9はP型電極金属層、10は能動層、11は階段型多重ヘテロ接合層である。なお、図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外2名)

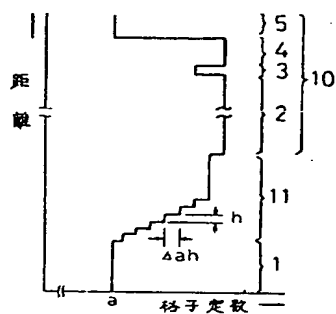
第 1 図



第 2 図



第 3 図



手 続 補 正 書 (自 発)

昭和 59 年 4 月 2 日



特許庁長官殿

1. 事件の表示 特願昭 58-138203 号

2. 発明の名称 半 導 体 レーザ素子

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 片 山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(通達先 03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書第2頁12行の「X値大きく」を、「X値を大きく」と補正する。
- (2) 同じく第3頁10行の「克服」を、「克服」と補正する。

以 上

方 式
審 査

